

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **61075649 A**(43) Date of publication of application: **18 . 04 . 86**

(51) Int. Cl.

H04L 13/00
G06F 13/00
H04L 13/08

(21) Application number: **59196604**(71) Applicant: **HITACHI LTD**(22) Date of filing: **21 . 09 . 84**(72) Inventor: **TAKEMOTO TAKESHI**

(54) **BUFFER MANAGEMENT SYSTEM OF
 COMMUNICATION CONTROL EQUIPMENT**

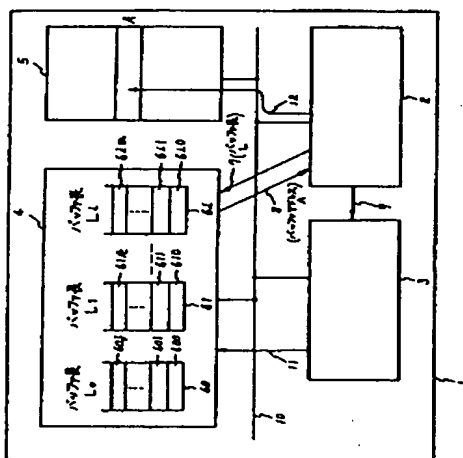
to give a buffer acquisition request.

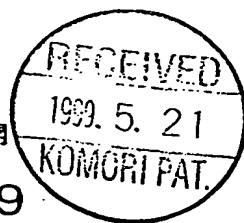
COPYRIGHT: (C)1986,JPO&Japio

(57) Abstract:

PURPOSE: To improve the utilizing efficiency of a buffer memory by giving plural buffer address stacks with different buffer length to a buffer management section and providing a frame length in response to a line attribute and reception frame type to a line control section to apply a buffer acquisition request to the buffer management section.

CONSTITUTION: A buffer length L in response to the line attribute and the frame type is given to the line control section at frame reception, which applies a buffer acquisition request to the buffer management section. The buffer management section gives a top buffer address among buffer address stacks having a buffer minimum length being L or over to the line control section. The said buffer address is shown in 8 in figure. The line control section writes the reception frame on a buffer area of a buffer memory represented by the said buffer address. In case of 1 frame reception, the line control section 3 uses the maximum frame length of the line and in case of the reception other than the frame 1, the section 3 uses two bytes as a buffer length





⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-75649

⑬ Int. Cl.

H 04 L 13/00
G 06 F 13/00
H 04 L 13/08

識別記号

庁内整理番号

A-7240-5K
S-7230-5B
7240-5K

⑭ 公開 昭和61年(1986)4月18日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 通信制御装置のバッファ管理方式

⑯ 特 願 昭59-196604

⑰ 出 願 昭59(1984)9月21日

⑱ 発 明 者 竹 本 毅 秦野市堀山下1番地 株式会社日立製作所神奈川工場内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 高橋 明夫 外1名

明 細 書

1 発明の名称 通信制御装置のバッファ管理方式

2 特許請求の範囲

1 複数の回線を制御する回線制御部と通信データを格納するバッファメモリとバッファアドレスをスタック、管理するバッファ管理部と通信制御プログラムが走行するプロセッサを具備し、バッファ管理部がバッファ長の異なる複数のバッファアドレススタックを有し、回線制御部が回線属性及び受信フレーム種別に応じたフレーム長を付与してバッファ管理部に対しバッファ獲得要求を行ない、バッファ管理部は該フレーム長以上最小のバッファ長を有するバッファアドレススタック内のバッファアドレスを回線制御部に与えることを特徴とする通信制御装置のバッファ管理方式。

3 発明の詳細な説明

(発明の利用分野)

本発明はバッファメモリを有する通信制御装

置のバッファ管理方式に関するものである。

(発明の背景)

従来の装置は、電通公社研究実用化報告第33巻第1号「Dips Visi プロセッサ通信系の解成」に記載のように、回線制御部からバッファ獲得要求に対しバッファ管理部が回線制御部に与えるバッファのバッファ長は固定値であった。このためフレーム長の短い受信フレームにも、該固定バッファ長を有するバッファを割当てざる必要があり、バッファメモリの使用効率を低下させるという問題があった。また該固定バッファ長以上のフレーム長を持つフレームを回線制御部が受信した場合、回線制御部は複数回バッファ管理部にバッファ獲得要求を出すと共にバッファが一杯になる毎にそのバッファのアドレスをプロセッサに報告する必要がある。プロセッサは該報告を受けると、バッファアドレスのチェーン情報作成処理を行なうためプロセッサの処理性能負担を増大させるという問題点があり、この問題点は特に高速回線を収

容する場合重要である。

(発明の目的)

本発明の目的は、バッファメモリの使用効率を向上させ、かつプロセッサの処理負荷を低減させる通信制御装置のバッファ管理方式を提供することである。

(発明の概要)

本発明のバッファ管理方式においては、回線制御部が、各回線の属性や受信フレーム種別に応じて受信フレーム毎に必要フレーム長を識別し、該フレーム長以上最小のバッファ長を有するバッファをバッファ管理部が回線制御部に与える。こうして獲得したバッファに回線制御部は受信フレームを蓄積する。従って例えばHDLC手順の場合、フレーム長の長いIフレームに対してはバッファ長の大なるバッファを、またフレーム長の短いIフレーム以外のフレームにはバッファ長の小なるバッファを割当てることによりバッファメモリの有効利用ができる。Iフレームを受信した場合でも回線毎にバッファ獲

得はスタックされているバッファアドレスである。これらのバッファアドレスはプロセッサより指示11により初期設定される。各バッファアドレススタック60~64のバッファ長L0~L4もプロセッサより初期設定される。

回線制御部はフレーム受信時、回線の属性及びフレーム種別に応じて必要バッファ長を付与してバッファ管理部に対しバッファ獲得要求を行なう。バッファ管理部はL以上最小のバッファ長を有するバッファアドレススタックの中から先頭のバッファアドレスを回線制御部に与える。該バッファアドレスが図1の8である。回線制御部は受信フレームを該バッファアドレスで示されるバッファメモリのバッファエリアに蓄込む。(第1図の12)第1図の9はフレーム受信時の回線制御部からプロセッサへの報告である。

第2図はHDLC手順を例とした回線制御部2のフレーム長識別回路である。13は回線アドレスレジスタであり現在回線制御部が処理中の回線アドレスを示す。該レジスタ13によりアドレ

得要求に付与するフレーム長を変えることができるため、フレーム有の大なる回線の場合致付与バッファ長を大にすることにより回線制御部がバッファが一杯になるたびに複数回バッファ獲得要求を行なうことを回避できる。さらに回線制御部がバッファが一杯になる毎に行なうバッファアドレス報告をプロセッサが受け取り、Iフレームを蓄積する複数個のバッファのバッファアドレスチェーン処理をプロセッサが行なう必要がないためプロセッサの処理負荷を低減することができる。プロセッサの処理負荷低減は特に高速回線収容時に有利である。

(発明の実施例)

以下本発明の一実施例を図面を参照しつつ説明する。

第1図は通信制御装置の構成を示す。2は回線制御部、3はプロセッサ、4はバッファ管理部、5はバッファメモリ、10は内部バスである。60、61、62はバッファアドレススタックであり、600~604、610~614、620~624

スされるメモリ14は各回線の最大Iフレーム長150~154を収納する。16は受信線であり、19は受信データレジスタである。レジスタ19のビット20はIフレーム識別ビットであり、HDLC手順の場合第2オクテット(制御部)の第1ビットである。Iフレームでは該ビットは0である。17はEXCLUSIVE OR回路であり、ビット15と固定値0を比較し、Iフレームの場合0、Iフレーム以外の場合1を出力する。18はバッファ獲得要求バッファ長情報1を出力するセレクタ回路でありIフレームの場合、当回線の最大Iフレーム長を、Iフレーム以外の場合固定値2を選択する。

以上説明した様に回線制御部3はIフレーム受信の場合その回線の最大フレーム長を、Iフレーム以外受信の場合2バイトをバッファ長としてバッファ獲得要求を出すことができる。

本発明はHDLC手順に限らず回線制御部で受信フレーム長を判別し、バッファ長を付与してバッファ獲得要求を出すことができれば実現

され、各様の伝送制御手順に適用可能である。

(発明の効果)

以上述べた様に本発明によればフレーム長の短い受信フレームに対しバッファ長の異なるバッファを割付ける必要がなくバッファの使用効率が大きい。また1フレームに対し複数回バッファを割付け、そのバッファのチェーンをプロセッサが記憶しておくという処理を行なう必要がないためプロセッサの処理負荷が低減され通信制御装置としてのスループットが向上する。

4 図面の簡単な説明

第1図は本発明の一実施例の通信制御装置の構成図、第2図は同じく回線制御部のフレーム長識別回路図である。

- | | |
|-------------|--------------|
| 1…通信制御装置 | 2…回線制御部 |
| 3…プロセッサ | 4…バッファ管理部 |
| | 部 |
| 5…バッファメモリ | 8…獲得バッファアドレス |
| 9…フレーム受信等報告 | 10…内部バス |

12…受信フレーム格納

14…受信線

18…セレクタ

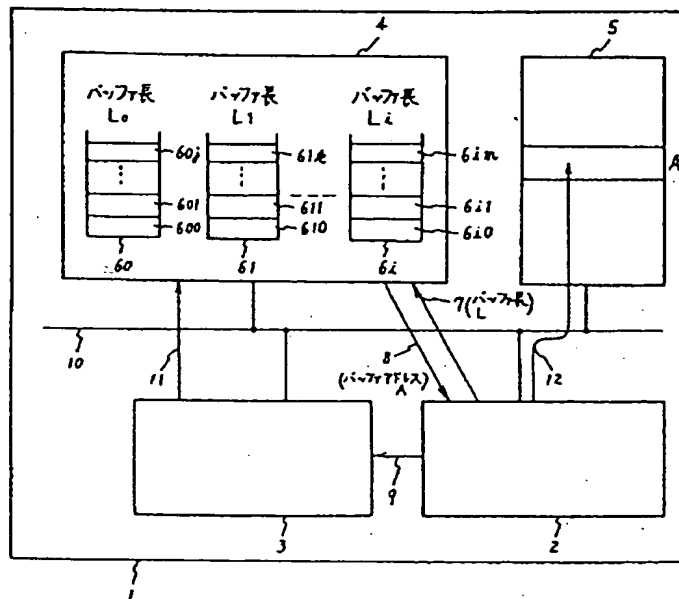
19…受信レジスタ

20…1フレーム識別ビット。



代理人弁理士 高橋 明 夫

第 1 図



第 2 図

